



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07143097 A**(43) Date of publication of application: **02 . 06 . 95**

(51) Int. Cl. **H04J 11/00**  
**H04L 27/38**  
**H04L 27/22**

(21) Application number: **05287056**(22) Date of filing: **16 . 11 . 93**(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **SEKI TAKASHI**  
**SUGITA YASUSHI**  
**ISHIKAWA TATSUYA**

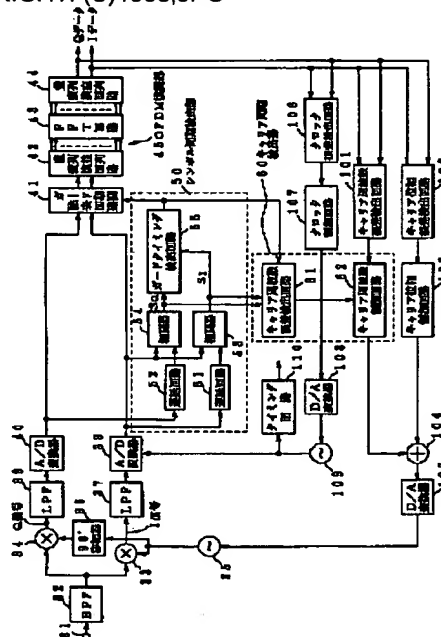
**(54) OFDM SYNCHRONIZING DEMODULATION CIRCUIT****(57) Abstract:**

**PURPOSE:** To obtain a symbol synchronization and a carrier synchronization from an information signal.

**CONSTITUTION:** The I and Q signals from A/D converters 38 and 40 are imparted to delay circuits 51 and 52, respectively, and they are delayed by an effective symbol period. Because the signal of a guard period and the signal of the terminating period of an effective symbol period are the same, the I signal and the delay signal have a correlation when a carrier synchronization is taken. Even when the carrier synchronization is not taken, the correlation of the I signal and the delay signal or the correlation of the delay signals of the I signal and the Q signal are provided. A guard timing detection circuit 55 detects a guard timing by squaring each correlation result and adding it. A guard period elimination circuit 41 obtains a symbol synchronization by eliminating the guard period by this guard timing. As the signal which becomes 0 when a carrier frequency error is the integral multiple of a sub-carrier interval is obtained from each correlation result in the guard timing, a carrier synchronizing detection part 60 controls a local oscillation frequency

by using a correlation result.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-143097

(43) 公開日 平成7年(1995)6月2日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 J 11/00		Z		
H 0 4 L 27/38				
27/22				
		9297-5K	H 0 4 L 27/ 00	G
		9297-5K	27/ 22	C
			審査請求 未請求 請求項の数 4	O L (全 15 頁)

(21) 出願番号 特願平5-287056

(22) 出願日 平成5年(1993)11月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 関 隆史

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内

(72) 発明者 杉田 康

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内

(72) 発明者 石川 達也

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内

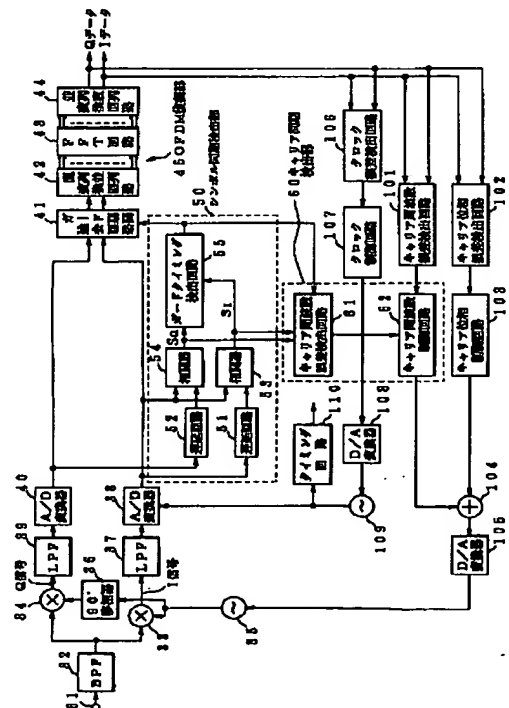
(74) 代理人 弁理士 伊藤 進

(54) 【発明の名称】 OFDM同期復調回路

(57) 【要約】

【目的】 情報信号からシンボル同期及びキャリア同期を得る。

【構成】 A/D変換器38, 40からのI, Q信号は夫々遅延回路51, 52に与えられて有効シンボル期間だけ遅延される。ガード期間の信号と有効シンボル期間の終端期間の信号とが同一であるので、キャリア同期がとれている場合には、I信号とその遅延信号とは相関を有する。また、キャリア同期がとれていない場合でも、I信号とその遅延信号との相関がI信号とQ信号の遅延信号との相関かを有する。ガードタイミング検出回路55は各相関結果を2乗して加算することによりガードタイミングを検出し、ガード期間除去回路41はこのガードタイミングでガード期間を除去することによりシンボル同期を得る。また、ガードタイミングにおける各相関結果から、キャリア周波数誤差がサブキャリア間隔の整数倍のときに0となるような信号が得られるので、キャリア同期検出部60は相関結果を用いて局部発振周波数を制御する。



## 【特許請求の範囲】

【請求項1】 有効シンボル期間とこの有効シンボル期間の一部に一致した波形のガード期間とを有する直交周波数分割多重変調信号の直交変調波が入力され、直交検波によって前記直交変調波から同相検波軸信号と直交検波軸信号とを得る直交復調手段と、  
前記同相検波軸信号を前記有効シンボル期間だけ遅延させる第1の遅延手段と、  
前記直交検波軸信号を前記有効シンボル期間だけ遅延させる第2の遅延手段と、  
前記直交復調手段からの同相検波軸信号及び直交検波軸信号と前記第1又は第2の遅延手段の出力との相関係数を求める相関演算手段と、  
前記相関係数に基づいて前記直交復調手段出力の前記ガード期間のタイミングを求めてタイミング信号を出力するガードタイミング検出手段と、  
前記タイミング信号を用いて前記直交復調手段の復調出力から前記有効シンボル期間の信号のみを抽出して前記直交周波数分割多重変調信号を復調する復調部とを具備したことを特徴とするOFDM同期復調回路。

【請求項2】 前記ガードタイミング検出手段は、前記同相検波軸信号と前記第1の遅延手段の出力との相関係数又は前記直交検波軸信号と前記第2の遅延手段の出力との相関係数を2乗し、前記同相検波軸信号と前記第2の遅延手段の出力との相関係数又は前記直交検波軸信号と前記第1の遅延手段の出力との相関係数を2乗した値と加算して前記タイミング信号を求めることを特徴とする請求項1に記載のOFDM同期復調回路。

【請求項3】 前記ガードタイミング検出手段は、前記同相検波軸信号と前記第1の遅延手段の出力との相関係数又は前記直交検波軸信号と前記第2の遅延手段の出力との相関係数の絶対値を求め、前記同相検波軸信号と前記第2の遅延手段の出力との相関係数又は前記直交検波軸信号と前記第1の遅延手段の出力との相関係数の絶対値と加算して前記タイミング信号を求めることを特徴とする請求項1に記載のOFDM同期復調回路。

【請求項4】 有効シンボル期間とこの有効シンボル期間の一部に一致した波形のガード期間とを有する直交周波数分割多重変調信号の直交変調波が入力され、直交検波によって前記直交変調波から同相検波軸信号と直交検波軸信号とを得る直交復調手段と、  
前記同相検波軸信号を前記有効シンボル期間だけ遅延させる第1の遅延手段と、  
前記直交検波軸信号を前記有効シンボル期間だけ遅延させる第2の遅延手段と、  
前記直交復調手段からの同相検波軸信号及び直交検波軸信号と前記第1又は第2の遅延手段の出力との相関係数を求める相関演算手段と、  
前記直交復調手段の復調出力から前記有効シンボル期間の信号のみを抽出して前記直交周波数分割多重変調信号

を復調する復調部と、

前記相関演算手段からの相関係数に基づいて前記直交復調手段の検波周波数誤差を検出する誤差検出手段と、  
前記検波周波数誤差に基づいて前記直交復調手段の検波周波数を制御する検波周波数制御手段とを具備したことを特徴とするOFDM同期復調回路。

## 【発明の詳細な説明】

## 【0001】 [発明の目的]

【産業上の利用分野】 本発明は、OFDM同期復調回路に関し、特に、シンボル同期及びキャリア同期を情報信号から得るようにしたOFDM同期復調回路に関する。

## 【0002】

【従来の技術】 近年、放送又は移動体通信におけるディジタル化に伴って、ディジタル変調方式の開発が行われている。特に、移動体通信においては、マルチパス干渉に強い直交周波数分割多重（以下、OFDM (orthogonal frequency division multiplex という) 変調の採用が検討されている。OFDMは、伝送ディジタルデータを互いに直交する多数の搬送波（以下、サブキャリアという）に分散し、それぞれ変調する方式である。OFDMはマルチパス干渉の影響を受けにくいという特徴の外に、周波数利用効率が高く、また、他に妨害を与えにくいという利点も有する。

【0003】 図12はOFDM変復調器を示すブロック図である。

【0004】 入力端子1を介して入力される送信データは例えばQPSK変調又はQAM変調された信号である。この送信データはOFDM変調器2の直列並列変換回路3に与えられて低速な複数のシンボルから成るパラレルデータに変換される。1パラレルデータのシンボル数はサブキャリアの数に一致させる。逆高速離散フーリエ変換（以下、IFFT）回路4は、相互に直交する数百乃至数千のサブキャリアをパラレルデータによって変調する。サブキャリアの数は使用するIFFT回路4のポイント数によって設定される。IFFT回路4によってOFDM変調された伝送データは並列直列変換回路5に与えられてシリアルデータに変換され、ガード期間付加回路6に与えられる。ガード期間付加回路6はマルチパス妨害を防止するために、ガード期間を付加して図示しない伝送路に出力する。

【0005】 図13はガード期間が付加された送信データを示す波形図である。

【0006】 OFDMにおいては、伝送データを数百乃至数千のサブキャリアに分散して変調することから、各サブキャリアの変調シンボルレートは極めて低くなり、1シンボルの期間は極めて長くなる。このため、反射波による遅延時間の影響を受けにくくなる。更に、有効シンボル期間の前にガード期間を設定することにより、マルチパス干渉の影響を効果的に除去することができる。ガード期間付加回路6は、図13に示すように、有効シ

ンボル期間の後半の部分を巡回的に複写したガード期間を設ける。マルチパス干渉の遅延時間がガード期間以内である場合には、復調時において有効シンボル期間の信号のみを復調することで、遅延した隣接シンボルによる符号間干渉を防止することができる。

【0007】一方、OFDM復調回路7においては、図示しない伝送路からの受信データをガード期間除去回路8に与える。ガード期間除去回路8は受信データから有効シンボル期間の信号を抽出して直列並列変換回路9に与える。直列並列変換回路9はシリアルデータを各サブキャリア毎のパラレルデータに変換して、高速離散フーリエ変換（以下、FFTという）回路10に出力する。FFT回路10はFFT演算によって各サブキャリアを復調する。FFT回路10からの復調出力は並列直列変換回路11によってシリアルデータに変換されて受信データとして出力される。

【0008】ところで、FFT回路10が正確な復調を行うためには、有効シンボル期間のタイミング同期（以下、シンボル同期という）をとる必要がある。また、送信データは例えば直交変調された後伝送されるので、受信側において正しく直交復調するためのキャリア同期も必要である。図13に示すように、OFDM変調波はランダム雑音に類似した波形であることから、OFDM変調波に基づいてシンボル同期及びキャリア同期をとることは困難である。

【0009】そこで、従来のOFDM同期復調回路においては、CCIR Rec. 774に示すように、シンボル同期をとるための基準信号を別途付加するようになっている。図14はこの種のシンボル同期方法を説明するための説明図である。

【0010】上述したように、送信データにはガード期間が付加されている。即ち、図14に示すように、1シンボルの送信データは有効シンボル期間Sとガード期間Gとを有する。更に、数十シンボル期間毎にシンボル同期用の無信号期間（以下、ヌルシンボル期間という）が付加される。送信データ中に含まれるヌルシンボル期間を検出することにより、復調側においてシンボル同期をとることが可能である。即ち、変調波のエンベロープからヌルシンボル期間とガード期間との境界のタイミングを検出し、この検出タイミングを基準として有効シンボル期間のタイミングを求めるのである。

【0011】また、図15は従来のOFDM同期復調回路のキャリア同期方法を説明するためのグラフであり、“Summary of OFDM Experiments done by the ATRC”において記載されたものである。図15は横軸に周波数を取り縦軸にスペクトル振幅をとったもので、図15の中央の周波数帯域は伝送データで変調されたサブキャリアを示している。この周波数帯域の両端のサブキャリアは無変調とすることにより、このサブキャリアをパイロットキャリア15、16として用いる。復調側では、このパイ

ロットキャリアを検出することによりキャリア同期を得ている。

【0012】しかしながら、周期的に送信されるヌルシンボルを基準としてシンボル同期を行う方法では、ヌルシンボルが妨害を受けて誤検出されてしまうことがある。そうすると、次にヌルシンボルが検出されるまで長時間に亘って正常な復調動作が行われないという問題があった。この問題を解決するために頻繁にヌルシンボルを送信すると、伝送効率が低下してしまう。また、パイロットキャリアを用いてキャリア同期を行う方法では、パイロットキャリアが妨害を受けた場合にはキャリア同期ができなくなる。

#### 【0013】

【発明が解決しようとする課題】このように、上述した従来のOFDM同期復調回路においては、送信データに付加されるヌルシンボルが妨害を受けるとシンボル同期がとれなくなって正常な復調動作が行われないという問題点があった。また、パイロットキャリアが妨害を受けるとキャリア同期がとれなくなるという問題点もあった。

【0014】本発明はかかる問題点に鑑みてなされたものであって、伝送された情報信号のみからシンボル同期及びキャリア同期を行うことができるOFDM同期復調回路を提供することを目的とする。

#### 【0015】〔発明の構成〕

【課題を解決するための手段】本発明の請求項1に係るOFDM同期復調回路は、有効シンボル期間とこの有効シンボル期間の一部に一致した波形のガード期間とを有する直交周波数分割多重変調信号の直交変調波が入力され、直交検波によって前記直交変調波から同相検波軸信号と直交検波軸信号とを得る直交復調手段と、前記同相検波軸信号を前記有効シンボル期間だけ遅延させる第1の遅延手段と、前記直交検波軸信号を前記有効シンボル期間だけ遅延させる第2の遅延手段と、前記直交復調手段からの同相検波軸信号及び直交検波軸信号と前記第1又は第2の遅延手段の出力との相関係数を求める相関演算手段と、前記相関係数に基づいて前記直交復調手段出力の前記ガード期間のタイミングを求めてタイミング信号を出力するガードタイミング検出手段と、前記タイミング信号を用いて前記直交復調手段の復調出力から前記有効シンボル期間の信号のみを抽出して前記直交周波数分割多重変調信号を復調する復調部とを具備したものであり、本発明の請求項4に係るOFDM同期復調回路は、有効シンボル期間とこの有効シンボル期間の一部に一致した波形のガード期間とを有する直交周波数分割多重変調信号の直交変調波が入力され、直交検波によって前記直交変調波から同相検波軸信号と直交検波軸信号とを得る直交復調手段と、前記同相検波軸信号を前記有効シンボル期間だけ遅延させる第1の遅延手段と、前記直交検波軸信号を前記有効シンボル期間だけ遅延させる第

2の遅延手段と、前記直交復調手段からの同相検波軸信号及び直交検波軸信号と前記第1又は第2の遅延手段の出力との相関係数を求める相関演算手段と、前記直交復調手段の復調出力から前記有効シンボル期間の信号のみを抽出して前記直交周波数分割多重変調信号を復調する復調部と、前記相関演算手段からの相関係数に基づいて前記直交復調手段の検波周波数誤差を検出する誤差検出手段と、前記検波周波数誤差に基づいて前記直交復調手段の検波周波数を制御する検波周波数制御手段とを具備したものである。

#### 【0016】

【作用】本発明において、直交周波数分割多重変調信号のガード期間は有効シンボル期間の一部の信号と同一であるので、第1及び第2の遅延手段の遅延量を有効シンボル期間に基づいて設定することにより、検波周波数が適正である場合には、直交復調手段からの同相検波軸信号及び直交検波軸信号は夫々第1及び第2の遅延手段の出力と相関を有する。また、検波周波数がずれた場合でも、同相検波軸信号及び直交検波軸信号は夫々第2及び第1の遅延手段の出力と相関を有する。請求項1においては、ガードタイミング検出手段が相関結果に基づいてガード期間のタイミングを検出し、復調部はタイミング信号に基づいてシンボル期間の信号を抽出して復調を行う。請求項4においては、誤差検出手段が相関結果に基づいて直交復調手段の検波周波数誤差を検出する。この検波周波数誤差を用いて検波周波数を制御することによりキャリア同期を得る。

#### 【0017】

【実施例】以下、図面を参照して本発明の実施例について説明する。図1は本発明に係るOFDM同期復調回路の一実施例を示すブロック図である。

【0018】入力端子31には図示しないチューナによって受信されて中間周波数帯の信号（以下、IF信号という）に変換されたOFDM変調信号が入力される。入力端子31に与えられるOFDM変調信号は、送信側において、例えばQAM信号がOFDM変調された後、所定のキャリアによって直交変調されて伝送されたものである。なお、QAM信号は複素表現の実部に対応するIデータと虚部に対応するQデータとによってシンボルを表わすことができる。伝送されたOFDM変調信号は、図14のヌルシンボル期間を有しておらず、また、図15のパイロットキャリアも有していない。IF信号は帯域通過フィルタ（以下、BPFという）32に与えられ、BPF32は通過帯域外の雑音を除去して乗算器33、34に出力する。

【0019】局部発振器35は後述するD/A変換器105からの制御信号によって発振出力周波数が制御されて、局部発振出力（再生キャリア）を乗算器33に出力すると共に、移相器36を介して乗算器34に出力する。移相器36は局部発振出力（I軸局部発振出力）を90度移相させ

てQ軸局部発振出力を得る。乗算器33、34は夫々I軸又はQ軸局部発振出力とIF信号との乗算によって直交検波を行う。乗算器33からの同相検波軸出力（I信号）はローパスフィルタ（以下、LPFという）37を介してA/D変換器38に与えられる。また、乗算器34からの直交検波軸出力（Q信号）はLPF39を介してA/D変換器40に与えられる。LPF37、39は夫々I信号又はQ信号の高調波成分を除去する。A/D変換器38、40は、後述する局部発振器109から動作クロックが与えられて、入力された信号をデジタル信号に変換してOFDM復調部45を構成するガード期間除去回路41に出力するようになっている。

【0020】OFDM復調部45は、図12のOFDM復調器7と同様の構成であり、ガード期間除去回路41、直列並列変換回路42、FFT回路43及び並列直列変換回路44によって構成されている。ガード期間除去回路41は、後述するガードタイミング検出回路55からガードタイミング信号が与えられて、OFDM変調信号（I、Q信号）のガード期間を除去し有効シンボル期間の信号を抽出して直列並列変換回路42に出力する。直列並列変換回路42は入力されたシリアルデータをパラレルデータに変換してFFT回路43に出力する。

【0021】FFT回路43は入力されたI信号及びQ信号を夫々複素数の実部、虚部とみなしてFFT処理を行う。このFFT処理によって、各サブキャリアに対して同期復調が行われる。即ち、FFT回路43によってFFT処理された複素出力の実部及び虚部は、夫々各サブキャリアの復調シンボルであるIデータ又はQデータとなる。これらのIデータ及びQデータは並列直列変換回路44に与えられ、並列直列変換回路44はこれらのデータをシリアルデータに変換して出力するようになっている。

【0022】本実施例においては、A/D変換器38、40の出力はシンボル同期検出部50にも与えられる。図2は図1中のシンボル同期検出部50を説明するためのタイミングチャートである。図2（a）はA/D変換器38の出力を示し、図2（b）は遅延回路51の出力を示し、図2（c）は相関器53の出力を示し、図2（d）はガードタイミングを示し、図2（e）はガード除去用ゲートパルスを示している。

【0023】シンボル同期検出部50は遅延回路51、52、相関器53、54及びガードタイミング検出回路55によって構成されている。遅延回路51、52は夫々I信号及びQ信号を有効シンボル期間 $t_s$ だけ遅延させて相関器53、54に出力する。相関器53、54にはA/D変換器38からI信号も入力されている。相関器53はガード期間のゲート幅でI信号と遅延したI信号との相関係数を求め、相関器54はI信号と遅延したQ信号との相関係数を求める。

【0024】上述したように、OFDM変調信号は各有効シンボル期間 $S_1$ 、 $S_2$ 、…の先頭に夫々ガード期間 $G_1$ 、 $G_2$ 、…が付加されている（図2（a）参照）。

10

20

30

40

50

ガード期間G1, G2, …は有効シンボル期間S1, S2, …の終端期間G1', G2', …を複写したものである。従って、A/D変換器38からのI信号を有効シンボル期間遅延させると、図2(a), (b)に示すように、遅延信号のガード期間G1, G2, …のタイミングと終端期間G1', G2', …のタイミングとが一致する。ガード期間の信号が終端期間の信号を複写したものであるため、この期間においては、I信号とその遅延信号との相関は高い。他の期間においては、I信号が図13に示すようにノイズ性の信号であるため、I信号とその遅延信号との相関は小さい。このため、図2(c)に示すように、相関器53からの相関係数は終端期間G1, G2, …の開始タイミングから漸次高くなり、終端期間の終了タイミングでピークとなる。

【0025】相関器53からの相関係数はガードタイミング検出回路55に与えられる。ガードタイミング検出回路55は、図2(c)のピークタイミングを検出し、このタイミングをガードタイミング(図2(d))としてガード期間除去回路41に出力する。ガード期間除去回路41は、ガードタイミング信号を基準としてガード除去用のゲートパルス(図2(e))を発生し、このゲートパルスに基づいてガード期間を除去する。

【0026】ところで、図2(c)に示す相関係数は、キャリア同期がとれている理想的な復調時のものである。これに対し、キャリア同期がとれていない場合には、直交復調における復調出力位相は回転し、終端期間においても相関係数が高くなることがある。図3乃至図6は横軸に時間を示し、縦軸に正規化した相関係数をとって、相関器53, 54からの相関係数をシミュレーションによって求めたグラフである。図3乃至図5(a)はI信号とその遅延信号との間の相関係数SIを示し、図3乃至図5(b)はI信号とQ信号の遅延信号との間の相関係数SQを示している。

【0027】図3はキャリア同期がとれている場合、即ち、局部発振器35からの局部発振出力周波数(再生キャリア周波数)とキャリア周波数との周波数誤差 $\Delta f$ が0である場合の例を示している。この場合には、図3

(a)に示すように、相関係数SIは終端期間G1', G2', …の終了タイミングでピークとなる。I信号とQ信号とは複素平面上で位相が90度ずれた信号であって、相互に相関を有していないので、図3(b)に示すように、I信号とQ信号の遅延信号との間の相関係数SQは0近傍の値となる。

【0028】図4はキャリア周波数誤差 $\Delta f$ が $f_s/8$ ( $f_s$ は隣接するサブキャリア間の周波数差)である場合の例を示している。この場合には、時間 $t_s$ で45度位相が回転するので信号G'は信号Gより45度位相が進んだものとなる。従って、図4(a)に示すように、相関係数SIのピーク値はキャリア同期がとれている場合よりも小さな値となる。また、I信号とQ信号の遅延

信号との間に相関が発生し、図4(b)に示すように、相関係数SQは、終端期間からレベルが低下し、終端期間の終了タイミングで負のピークとなる。

【0029】図5はキャリア周波数誤差 $\Delta f$ が $f_s/4$ である場合の例を示している。この場合には、時間 $t_s$ で90度位相が回転するので、信号G'は信号Gよりも90度位相が進んだものになる。従って、相関係数SIは図5(a)に示すように0近傍の値となり、相関係数SQは図5(b)に示すように終端期間の終了タイミングで負のピークとなる。

【0030】図3乃至図5から明らかなように、キャリア同期がとれていない場合であっても、相関係数SI, SQから終端期間の終了タイミングが分かる。この理由から、相関器54はI信号とQ信号の遅延信号との相関係数SQを求めてガードタイミング検出回路55に出力する。図7は図1中のガードタイミング検出回路55の具体的な構成を示すブロック図である。

【0031】相関係数SI, SQは夫々2乗回路81, 82に与えられる。2乗回路81, 82は夫々相関係数SI, SQを2乗して加算器83に出力する。加算器83は2乗回路81, 82の出力を加算してLPF84に与える。図6はこの演算結果を示すグラフであり、キャリア同期がとれていない場合の例を示している。図6に示すように、相関係数SI, SQを夫々2乗した後加算すると、周波数誤差 $\Delta f$ によらず加算結果は終端期間の終了タイミングにおいてピーク値となる。LPF84はこの加算器83の出力を平滑してピーク抽出回路85に与える。ピーク抽出回路85は所定の振幅以上の信号を抽出して判定回路86に出力する。判定回路86はピーク抽出回路85の抽出結果からピーク位置を検出して、ピーク位置においてタイミング信号を出力する。このタイミング信号はフライホイール回路87に与えられる。フライホイール回路87は判定回路86からのタイミング信号によってリセットされ、タイミング信号周期に基づく一定の周期のガードタイミング信号を出力する。

【0032】図8はガードタイミング検出回路の他の例を示すブロック図である。図8において図7と同一の構成要素には同一符号を付して説明を省略する。

【0033】図8においては、2乗回路81, 82に代えて絶対値回路89, 90が採用されている。相関係数SI, SQの絶対値を加算した結果からピーク位置を検出することができることは明らかであり、図8のガードタイミング検出回路88を用いてもガードタイミング信号を得ることができる。

【0034】また、本実施例においては、相関器53, 54からの相関係数SI, SQはキャリア同期検出部60にも与えられている。キャリア同期検出部60はキャリア周波数誤差検出回路61及びキャリア周波数制御回路62によって構成されている。図9は図1中のキャリア周波数誤差検出回路の具体的な構成を示すブロック図である。ま

10

20

30

40

50

た、図10は図9のキャリア周波数誤差検出回路を説明するためのグラフである。図10(a)乃至(c)は横軸にキャリア周波数誤差 $\Delta f$ をとり、縦軸に夫々正規化した相関係数SI、正規化した相関係数SQ又はアークタンジェント $SQ/SI$ をとって、ガードタイミング時の相関係数SI、SQの関係を示している。

【0035】図9においてキャリア周波数誤差検出回路61のゲート91、92には夫々相関係数SI、SQが入力されており、ゲート91、92はガードタイミング信号のタイミングで相関係数SI、SQを演算器93に出力する。演算器93は相関係数 $SQ/SI$ のアークタンジェントを求めて誤差信号発生回路94に出力する。上述したように、相関係数SI、SQはキャリア周波数誤差 $\Delta f$ に応じて変化する。しかし、ガードタイミングにおける相関係数SI、SQの変化は、図10(a)、(b)に示すように規則性を有し、キャリア周波数誤差 $\Delta f$ の関数となっている。そして、演算器93が相関係数 $SQ/SI$ のアークタンジェントを求めると、図10(c)に示すように、キャリア周波数誤差 $\Delta f = 0, \pm fs, \pm 2fs, \dots$ において0クロスする信号が得られる。誤差信号発生回路94は、キャリア周波数を制御するために、図10

(c)に示す信号をキャリア周波数誤差信号として用いる。これにより、キャリア周波数をキャリア周波数誤差 $\Delta f$ が $fs$ の整数倍となる周波数まで引込むことができる。キャリア周波数誤差検出回路61からのキャリア周波数誤差信号はキャリア周波数制御回路62に与えられる。

【0036】図11はキャリア周波数誤差検出回路の他の例を示すブロック図である。

【0037】キャリア周波数誤差検出回路97のゲート98には相関係数SQが与えられる。ゲート98はガードタイミング信号のタイミングで相関係数SQを誤差信号発生回路99に出力する。図10(b)に示すように、ガードタイミングにおける相関係数SQはキャリア周波数誤差 $\Delta f$ が $fs$ の整数倍であるときに0となる。従って、誤差信号発生回路99が図10(b)に示す信号をキャリア周波数誤差信号とすることで図9と同様の効果を得ることができる。

【0038】このように、キャリア周波数誤差 $\Delta f$ を $fs$ の整数倍にするための信号はキャリア周波数誤差検出回路61から得られるが、 $fs$ 単位の周波数ずれを制御するための信号は並列直列変換回路44の出力から得ている。並列直列変換回路44の出力は、キャリア周波数誤差検出回路101及びキャリア位相誤差検出回路102に与えられる。キャリア周波数誤差検出回路101は、各サブキャリアのパワーを周波数分析することによって再生キャリアの周波数ずれを検出する。一般に、OFDM変調信号のサブキャリアのうち最高及び最低周波数のサブキャリアはガードバンドとするために使用されていない(ゼロキャリア)。キャリア周波数誤差検出回路101は、各サブキャリアのパワーの分析結果からゼロキャリアの位

置を求めて再生キャリアのずれを検出する。例えば、再生キャリア(局部発振出力)周波数が $fs$ だけずれた場合(キャリア周波数誤差 $\Delta f = fs$ )には、最低周波数のサブキャリアのパワーは極めて小さくなる。従って、両端のサブキャリアのパワーを調べて、 $fs$ 単位の周波数ずれを検出することで再生キャリア周波数を $fs$ 単位でキャリア周波数に一致させることができる。

【0039】キャリア周波数誤差検出回路101の出力はキャリア周波数制御回路62に与えられる。キャリア周波数制御回路62は、この出力とキャリア周波数誤差検出回路61からのキャリア周波数誤差信号とから局部発振器35の発振周波数を制御するための制御信号を作成して加算器104に出力する。

【0040】キャリア位相誤差検出回路102は各サブキャリアの位相ずれから再生キャリアの位相誤差を検出して誤差信号をキャリア位相制御回路103に出力する。キャリア位相制御回路103はこの誤差信号を用いて局部発振器35の発振位相を制御するための制御信号を作成して加算器104に出力する。加算器104はキャリア周波数制御回路62の出力とキャリア位相制御回路103の出力とを加算してD/A変換器105に与える。D/A変換器105は加算器104の出力をアナログ信号に変換して局部発振器35の制御信号として出力する。局部発振器35はD/A変換器105の出力に基づいて発振周波数が制御されて、キャリア同期が達成されるようになっている。

【0041】また、並列直列変換回路44の出力は、クロック同期を得るためにクロック誤差検出回路106にも与えられるようになっている。クロック誤差検出回路106は、各サブキャリアの位相ずれの差からクロック誤差を検出してクロック誤差信号をクロック制御回路107に出力する。クロック制御回路107は、この誤差信号に基づいてクロック制御信号を生成してD/A変換器108に与える。D/A変換器108は、クロック制御信号をアナログ信号に変換して局部発振器109に与える。局部発振器109はD/A変換器108の出力によって発振周波数が制御される。これにより、クロック同期が達成されるようになっている。なお、局部発振器109の発振クロックはタイミング回路110に与えられ、タイミング回路110は各種タイミング信号を発生するようになっている。

【0042】次に、このように構成された実施例の動作について説明する。

【0043】図示しない伝送路を介して伝送されたOFDM変調信号は図示しないチューナによって受信され、IF信号に変換された後入力端子31を介してBPF32に供給される。BPF32はIF信号の雑音を除去して乗算器33、34に出力する。乗算器33、34は、夫々I軸の再生キャリア又はQ軸の再生キャリアが与えられて直交復調を行う。乗算器33からのI信号はLPF37を介してA/D変換器38に与えられ、乗算器34からのQ信号はLPF39を介してA/D変換器40に与えられる。A/D変換器



38, 40は局部発振器109からのクロックを用いてI, Q信号をディジタル信号に変換して、OFDM復調部45のガード期間除去回路41に出力する。

【0044】本実施例においては、ガード期間を除去するためのシンボル同期をOFDM変調信号から得ている。即ち、A/D変換器38, 40からのI, Q信号は夫々遅延回路51, 52に与えられて有効シンボル期間だけ遅延される。そうすると、図2(a), (b)に示すように、I, Q信号の遅延信号のガード期間G1, G2, …は、I信号の終端期間G1', G2', …のタイミングに一致し、キャリア同期がとれている場合には、この期間にはI信号とその遅延信号との間で相関を有する。相関器53はI信号とその遅延信号との相関係数SIを求めてガードタイミング検出回路55に出力する。

【0045】また、キャリア同期がとれていない場合であっても、図3乃至図5に示すように、終端期間においては、I信号とその遅延信号との間の相関又はI信号とQ信号の遅延信号との間の相関のいずれかの相関がある。相関器54はI信号とQ信号の遅延信号との間の相関係数SQを求めてガードタイミング検出回路55に出力する。ガードタイミング検出回路55は相関係数SI, SQの2乗を加算し、加算結果のピーク位置においてガードタイミング信号を発生して出力する。図6に示すように、このピーク位置は各終端期間の終了タイミングにおいて発生する。ガード期間除去回路41はこのガードタイミング信号を用いてガード期間を除去する。これにより、シンボル同期が得られる。

【0046】ガード期間が除去されて有効シンボル期間のみ抽出されたOFDM変調信号は直列並列変換回路42に与えられてパラレルデータに変換される。FFT回路43はこのパラレルに変換されたI, Q信号を夫々複素数の実部又は虚部とみなしてFFT処理を行う。これにより、FFT回路43からは各サブキャリアの復調シンボルであるIデータ及びQデータが出力される。これらの復調シンボルデータは並列直列変換回路44においてシリアルデータに変換されて出力される。

【0047】相関器53, 54からの相関係数SI, SQはキャリア周波数誤差検出回路61に供給される。キャリア周波数誤差検出回路61はガードタイミングにおける相関係数SI, SQを取込み、SQ/SIのアーктanジェントを求める。図10に示すように、ガードタイミングにおける相関係数SI, SQはキャリア周波数誤差 $\Delta f$ の関数になっており、SQ/SIのアークトanジェントは $f_s$ の整数倍の位置で0クロスする信号となる。この信号を用いることで、再生キャリア周波数をキャリア周波数誤差 $\Delta f$ が $f_s$ の整数倍となるように制御することができる。キャリア周波数誤差検出回路61はこの信号をキャリア周波数誤差信号としてキャリア周波数制御回路62に出力する。

【0048】キャリア周波数制御回路62はキャリア周波

数誤差検出回路101の出力及びキャリア周波数誤差信号に基づいて局部発振器35の発振周波数を制御するための制御信号を生成して加算器104に出力する。また、キャリア位相誤差検出回路102は並列直列変換回路44の出力から、各サブキャリアの位相ずれに基づく再生キャリアの位相誤差を検出し、キャリア位相制御回路103はこの位相誤差に基づいて局部発振器35を制御するための制御信号を生成して加算器104に与える。加算器104によってキャリア周波数制御回路62及びキャリア位相制御回路103の出力は加算され、D/A変換器105によってアナログ信号に変換されて局部発振器35に与えられる。こうして、局部発振器35の発振が制御されてキャリア同期が得られる。

【0049】また、並列直列変換回路44の出力はキャリア周波数誤差検出回路101及びキャリア位相誤差検出回路102にも与えられる。キャリア周波数誤差検出回路101によって、各サブキャリアのパワーが周波数分析され、 $f_s$ 単位で再生キャリア周波数を制御するための信号がキャリア周波数制御回路62に供給される。

【0050】並列直列変換回路44からの出力を用いてクロック同期及びキャリア同期を得る。即ち、並列直列変換回路44の出力はクロック誤差検出回路106に供給されて、各サブキャリアの位相ずれの差に基づくクロック誤差信号が得られる。クロック制御回路107はクロック誤差信号に基づいてクロック制御信号を作成し、虚部発振器109に発振を制御する。これにより、クロック同期が得られる。

【0051】このように、本実施例においては、ガード期間の信号が有効シンボル期間の終端期間の信号を複製したものであることを利用して、直交復調出力とその遅延信号との相関結果から、ガードタイミングを得てシンボル同期をとっている。また、直交復調出力とその遅延信号との相関結果とキャリア周波数誤差の関係がキャリア間隔 $f_s$ の周期で変化することから、この相関結果に基づいて再生キャリア周波数を制御し、更にFFT復調出力の各サブキャリアのパワーに基づいて $f_s$ 単位のずれを制御することにより、再生キャリア周波数を正確にキャリア周波数に一致させてキャリア同期を得ている。このように、情報信号のみに基づいてシンボル同期及びキャリア同期を得ており、特別な基準信号又はパイロットキャリアを用いることなく確実なシンボル同期及びキャリア同期を得ることができ、妨害に強いOFDM復調が可能である。

【0052】なお、上記実施例においては、相関係数SI, SQは、夫々I信号とその遅延信号との相関及びI信号とQ信号の遅延信号との相関であるが、相関係数SIとして、Q信号とその遅延信号との相関を用いてもよい。また、相関係数SQとして、Q信号とI信号の遅延信号との相関を用いてもよい。また、相関係数SIと相関係数SQの組合わせも自由である。



## 【0053】

【発明の効果】以上説明したように本発明によれば、伝送された情報信号のみからシンボル同期及びキャリア同期を行うことができるという効果を有する。

## 【図面の簡単な説明】

【図1】本発明に係るOFDM同期復調回路の一実施例を示すブロック図。

【図2】図1中のシンボル同期検出部を説明するためのタイミングチャート。

【図3】図1中のシンボル同期検出部を説明するためのグラフ。

【図4】図1中のシンボル同期検出部を説明するためのグラフ。

【図5】図1中のシンボル同期検出部を説明するためのグラフ。

【図6】図1中のシンボル同期検出部を説明するためのグラフ。

【図7】図1中のガードタイミング検出回路の具体的な構成を示すブロック図。

【図8】ガードタイミング検出回路の他の例を示すブ

ック図。

【図9】図1中のキャリア周波数誤差検出回路の具体的な構成を示すブロック図。

【図10】図1中のキャリア同期検出部を説明するためのグラフ。

【図11】キャリア周波数誤差検出回路の他の例を示すブロック図。

【図12】OFDM変復調装置を示すブロック図。

【図13】OFDM変調信号を示す波形図。

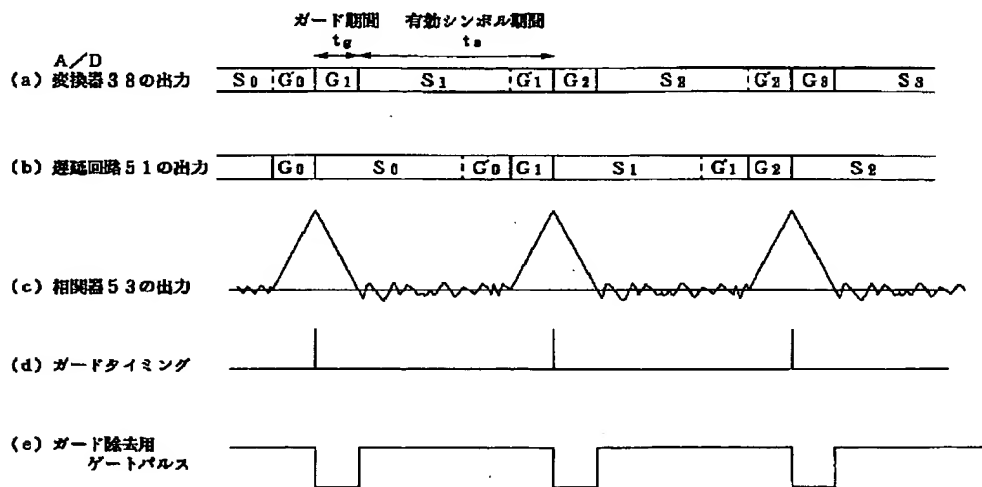
【図14】従来例におけるシンボル同期を説明するための説明図。

【図15】従来例におけるキャリア同期を説明するためのグラフ。

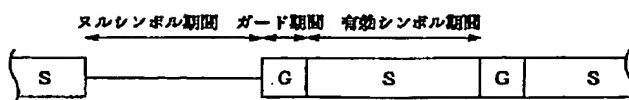
## 【符号の説明】

33、34…乗算器、35…局部発振器、36…移相器、41…ガード期間除去回路、45…OFDM復調部、50…シンボル同期検出部、51、52…遅延回路、53、54…相関器、55…ガードタイミング検出回路、60…キャリア同期検出部、61…キャリア周波数誤差検出回路

【図2】

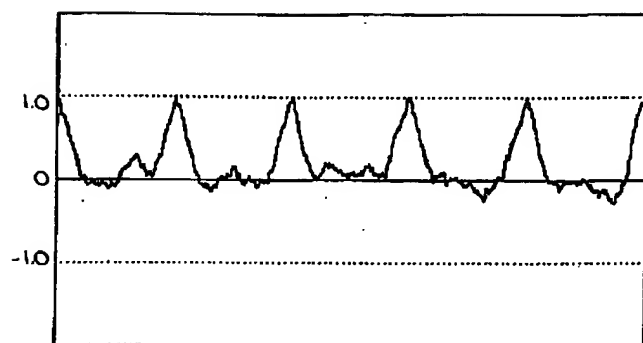


【図14】

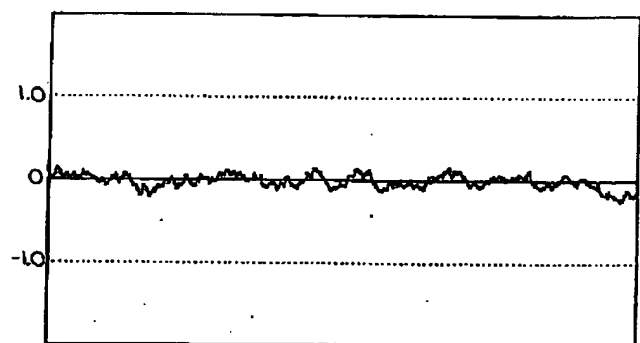


The diagram illustrates a 45 OFDM receiver architecture. It starts with input signals 31 and 32, which pass through a BPF (31) and a BPF (32). The signals are then processed by a 90° phase shifter (36) and a 90° phase shifter (37). The resulting signals are mixed with a reference signal (33) and a reference signal (34) in mixers (35) and (36). The mixed signals are then filtered by LPP (37) and LPP (38) and converted to digital by A/D converters (39) and (40). The digital signals are then processed by a 45 OFDM demodulation section (45), which includes a 45 OFDM demodulation section (45) and a 60 carrier frequency synchronization section (60). The demodulation section (45) includes a 45 OFDM demodulation section (45) and a 60 carrier frequency synchronization section (60). The 60 carrier frequency synchronization section (60) includes a 60 carrier frequency synchronization section (60) and a 60 carrier frequency synchronization section (60). The output of the demodulation section (45) is split into Q and I data streams, which are then converted back to analog by D/A converters (105) and (106) and output as Q and I data.

【図3】

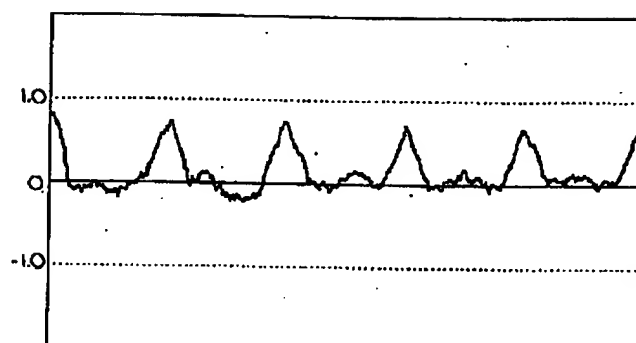


(a)

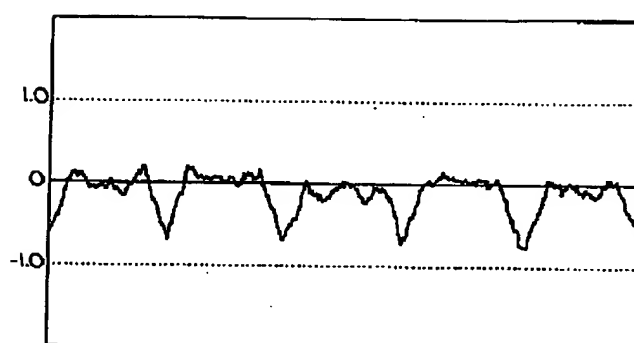


(b)

【図4】

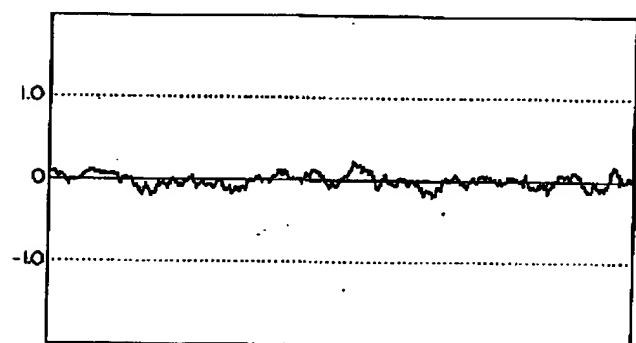


(a)

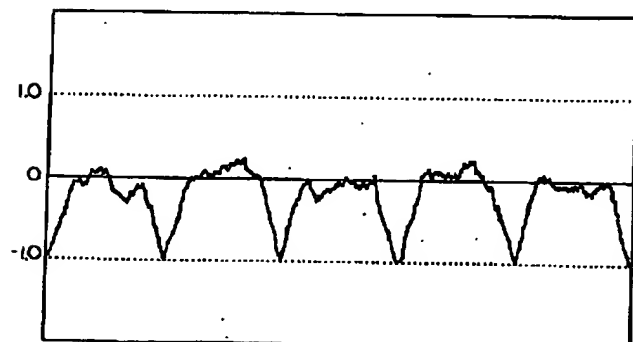


(b)

【図5】

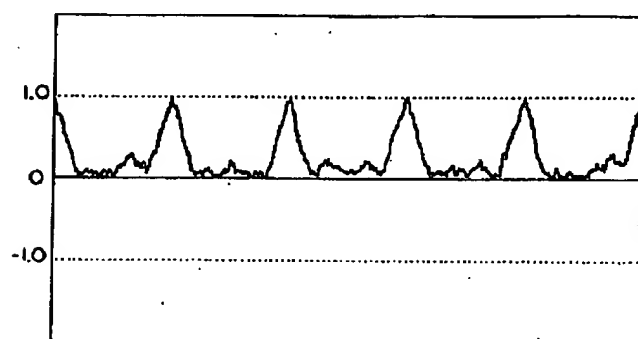


(a)

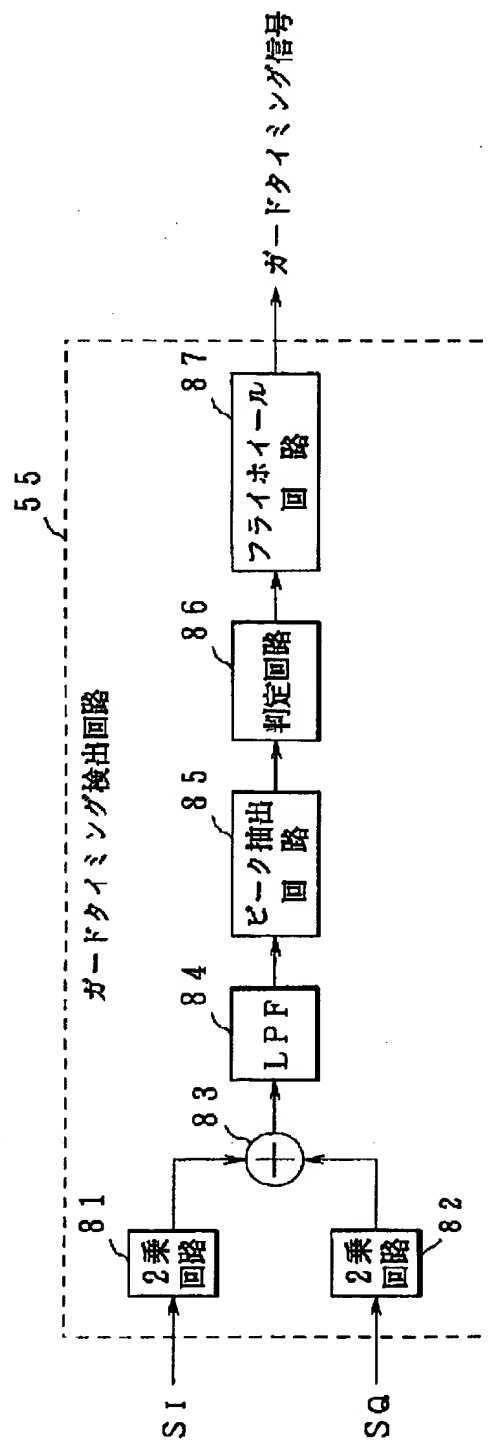


(b)

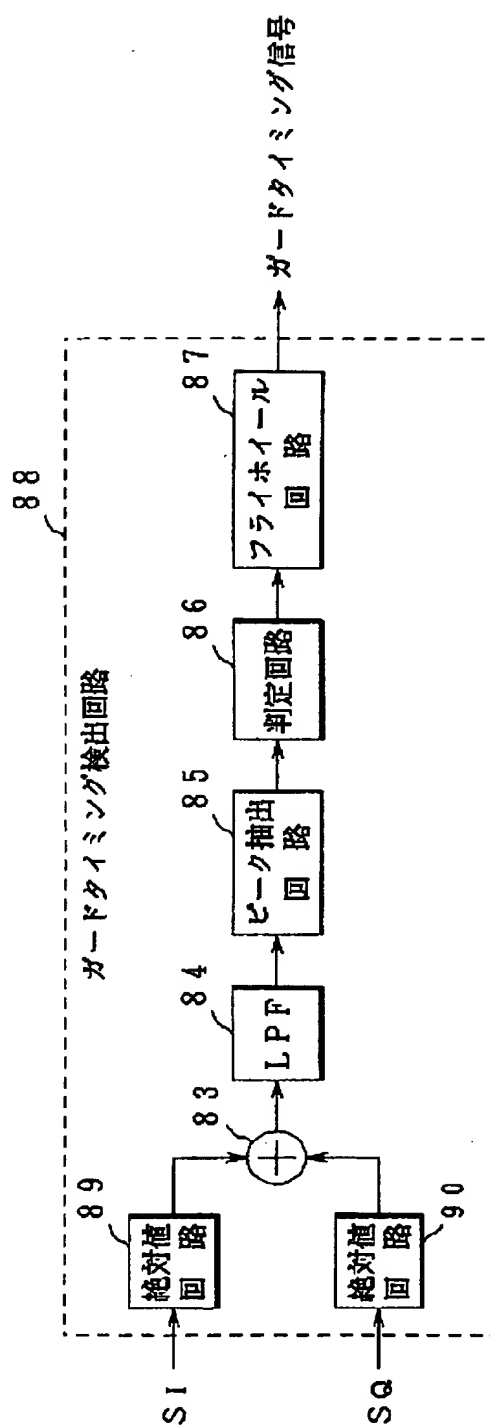
【図6】



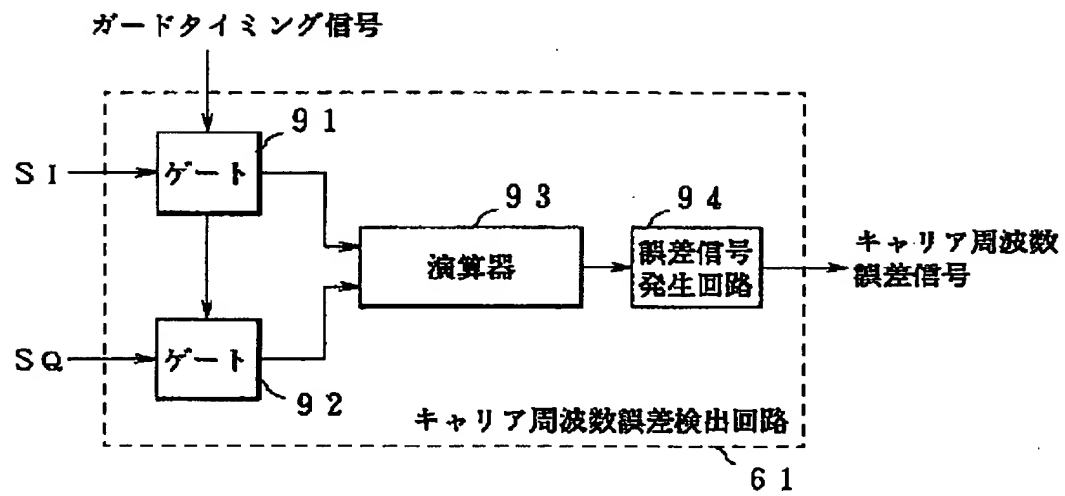
【図7】



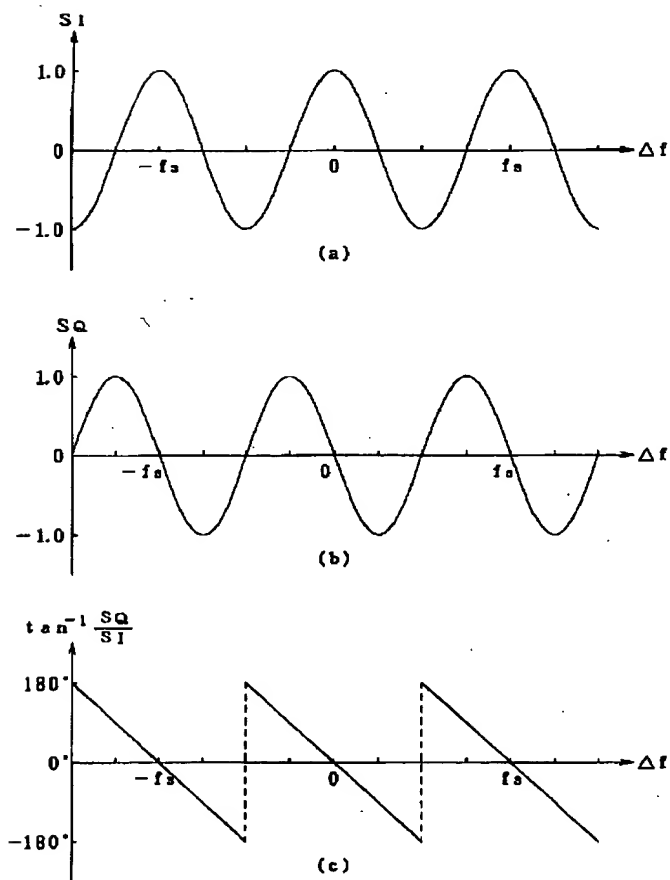
【図 8】



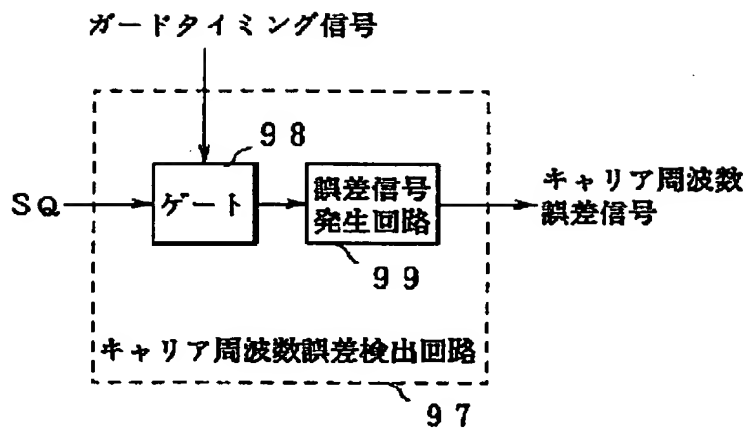
【図9】



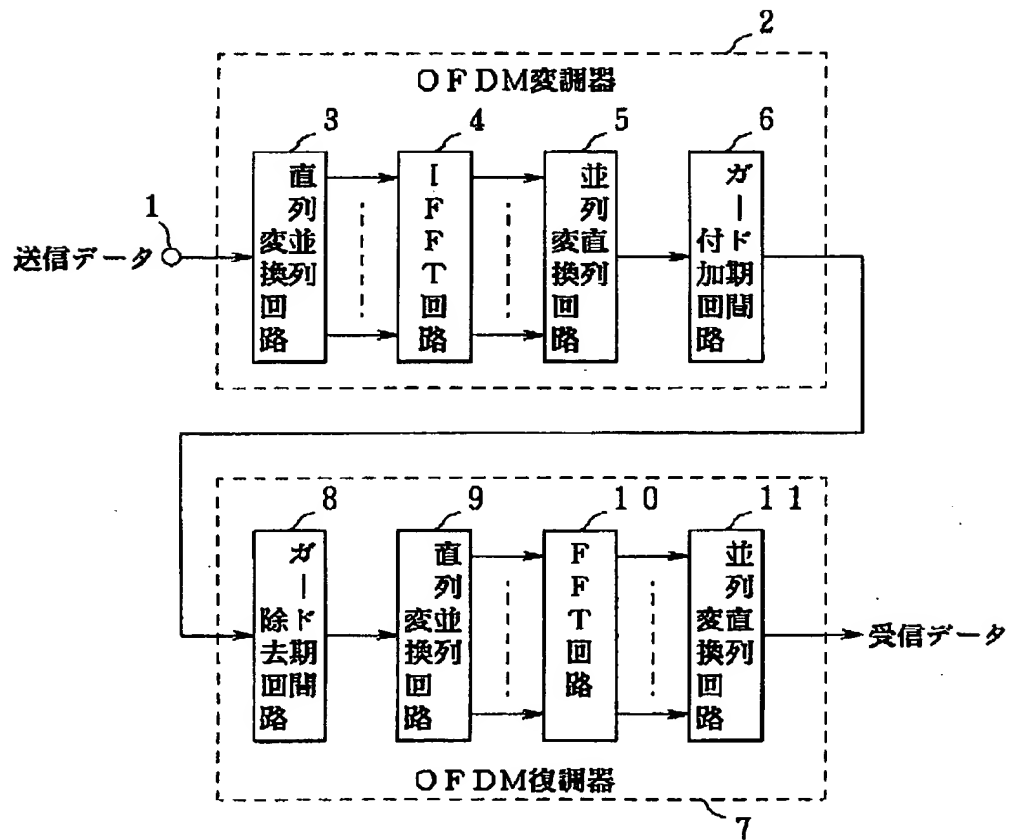
【図10】



【図11】

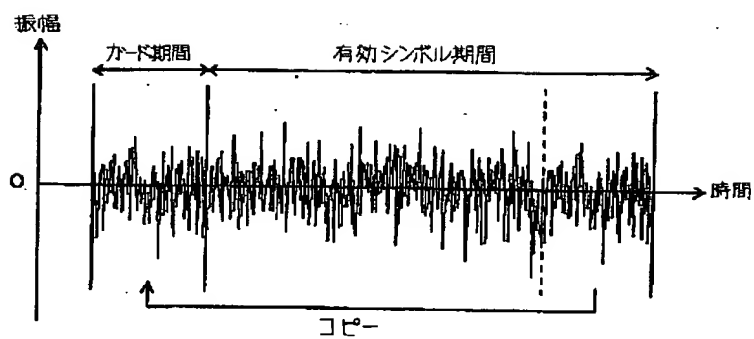


【図12】





【図13】



【図15】

